

Patent [19]

[11] Patent Number: 04303234
[45] Date of Patent: Oct. 27, 1992

[54] DATA TRANSFER SYSTEM

[21] Appl. No.: 03091598 JP03091598 JP

[22] Filed: Mar. 29, 1991

[51] Int. Cl.⁵ G06F00500 ; G06F01338

[57] ABSTRACT

PURPOSE: To transfer data with a high reliability without reducing the effective transfer rate of multibit parallel data where simultaneous switching noise occurs.

CONSTITUTION: A bit change detecting circuit 1 compares data outputted at present and data to be next outputted with each other with one bit as the unit to detect whether the bit variation is larger than a set value or not, and a bit pattern conversion signal which is significant in the case of the bit variation larger than the set value is outputted. If the bit pattern conversion signal is significant, a bit pattern converting circuit 2 inverts all bits of data to be next outputted to output the bit pattern of less bit variation; but otherwise, the circuit 2 outputs this data as it is. The one-bit of bit pattern conversion signal is added to this output, and it is transferred. The transfer destination fetches transfer data including the one-bit of bit pattern conversion signal; and if the bit pattern conversion signal is significant, all bits are internally inverted to restore the original data.

COPYRIGHT: (C)1992, JPO&asio

* * * * *

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-303234

(43)公開日 平成4年(1992)10月27日

(51)Int.Cl.⁵

識別記号

序内整理番号

F I

技術表示箇所

G 06 F 5/00

E 9189-5B

I3/38

3 3 0 Z 7052-5B

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号	特願平3-91598	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成3年(1991)3月29日	(72)発明者	小守 伸史 伊丹市瑞原4丁目1番地 三菱電機株式会 社エル・エス・アイ研究所内

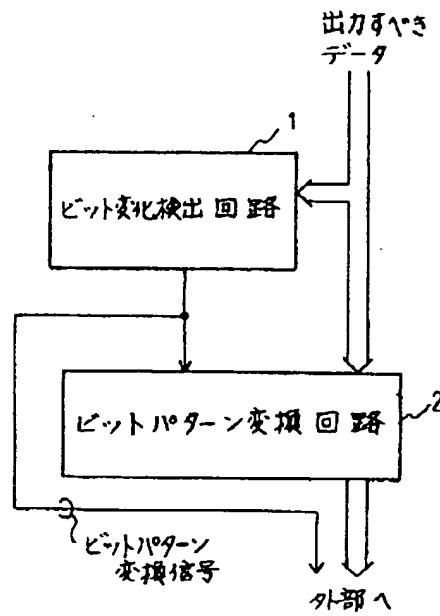
(74)代理人 弁理士 宮園 純一

(54)【発明の名称】 データ転送方式

(57)【要約】

【目的】 同時スイッチング・ノイズが生じる多ビット並列データの実効的な転送レートを低下させることなく、信頼性の高いデータ転送を実現できるデータ転送方式を得る。

【構成】 ビット変化検出回路1は、現在出力しているデータと次に出力すべきデータをビット単位に比較してビット変化量が設定値以上か否かを検出し、設定値以上のとき有意となるビットパターン変換信号を出力する。ビットパターン変換回路2は、上記ビットパターン変換信号が有意の時は次に出力すべきデータを全ビット反転することによりビット変化量の少ないビットパターンに変換して出力し、有意でない時はそのまま出力する。そして、この出力にビットパターン変換信号1ビットを付加して転送する。転送先では、ビットパターン変換信号1ビットを含む転送データを取り込み、ビットパターン変換信号が有意であれば、内部で全ビットを反転させて本来のデータに戻す。



(2)

特開平4-303234

I

2

【特許請求の範囲】

【請求項 1】 複数ビットの転送データを並列に出力するデータ転送方式において、現在出力しているデータと次に出力するデータをビット単位に比較してビット変化量が設定値以上か否かを検出するビット変化検出手段と、この検出出力に基づき、ビット変化量が設定値以上の時は次に出力するデータをビット反転によりビット変化量の少ないビットパターンに変換して出力し、ビット変化量が設定値より少ない時はそのまま出力するビットパターン変換手段とを備え、このビットパターン変換手段の出力データに上記ビット変化検出手段の検出出力を付加して転送するようにしたことを特徴とするデータ転送方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、複数ビットの転送データを並列に出力するデータ転送方式に関するものである。

【0002】

【従来の技術】 ICパッケージ間等で複数ビットのデータを並列に転送する場合、「トランジスタ技術 SPECIAL No. 22」(CQ出版株式会社、1990年7月1日発行)のpp34~49に詳細に述べられているように、パッケージの出力段における同時スイッチング・ノイズと呼ばれる問題が生じ、転送データにエラーが発生する。この同時スイッチング・ノイズは、データ処理及び半導体技術の進展に伴って、マイクロプロセッサに代表されるようにデータのビット幅の拡大や転送速度の高速化が進むに従って大きな問題となってきた。しかし、この問題をハードウェア技術により根本的に解決する技術は未だ見いだされていない。

【0003】

【発明が解決しようとする課題】 従来のこの種のデータ転送方式では、以上のように、多ビット並列データの転送時、同時スイッチング・ノイズが生じて転送データにエラーが発生しやすく、信頼性に問題があった。従って、信頼性を向上するため、転送レートをエラーの生じない程度に低く抑えたり、エラー訂正符号を付加したりすることにより対処していた。なお、エラー訂正符号は、その訂正能力を高くするために付加する検査ビット数を多くしなければならないために、実効的な転送レートをかなり低下させる。

【0004】 従って、この発明は、多ビット並列データの実効的な転送レートを低下させることなく、信頼性の高いデータ転送を実現できるデータ転送方式を得ることを目的とする。

【0005】

【課題を解決するための手段】 この発明に係るデータ転送方式は、現在出力しているデータと次に出力するデータをビット単位に比較してビット変化量が設定値以上か

否かを検出するビット変化検出手段と、この検出出力に基づき、ビット変化量が設定値以上の時は次に出力するデータをビット反転によりビット変化量の少ないビットパターンに変換して出力し、ビット変化量が設定値より少ない時はそのまま出力するビットパターン変換手段とを備え。このビットパターン変換手段の出力データに上記ビット変化検出手段の検出出力を付加して転送するようにしたものである。

【0006】

10 【作用】 この発明においては、ビット変化量が多く全ビット数の過半数を占めるような時には、出力に先立つて、例えば全ビットを反転させてビット変化量の少ないビットパターンに変換し、その旨を示す変化検出出力1ビットを付加して出力する。転送先では、その変化検出出力1ビットを含む転送データを読み込み、変化検出出力1ビットがビット反転を示していれば、内部で全ビットを反転させて本来のデータに戻すことにより、以降の処理を正常に行うことができる。これにより、多ビット並列データの実効的な転送レートを低下させることなく、信頼性の高いデータ転送を実現できる。

【0007】

【実施例】 以下、この発明の一実施例を図について説明する。図1は、この発明が適用されたマイクロプロセッサ等の出力段の構成例を示すブロック図である。図において、1は現在出力しているデータと次に出力するデータをビット単位に比較してビット変化量が設定値以上か否かを検出するビット変化検出回路であり、ビット変化量が設定値以上の場合は検出出力である1ビットのビットパターン変換信号を有意とする。2は上記ビットパターン変換信号が有意の時は次に出力すべきデータを全ビット反転することによりビット変化量の少ないビットパターンに変換して出力し、ビットパターン変換信号が有意でない時はそのまま出力するビットパターン変換回路である。上記ビット変化検出回路1から出力されるビットパターン変換信号はビットパターン変換回路2に入力されると共に、ビットパターン変換回路2の出力データに付加されて外部へ転送される。なお、ビット変化量が多いか少ないかを判定するための設定値は、全ビット数の半数以上であれば有効であり、本発明を適用する対象に応じて、どのくらいのビット変化量により同時スイッチング・エラーが生じるかを考慮して決められるべきものである。

【0008】 図2は、上記図1の具体的構成例を示す回路図であり、ここでは64ビット幅の場合を示している。図において、11, 12はそれぞれ入出力データをラッチする64ビット幅のラッチ、13はラッチ11の出力、すなわち現在出力しているデータと、ラッチ11の出力、すなわち次に出力するデータをビット単位に比較する比較器であり、各対応ビットを比較する64個のEXOR(排他的論理和)ゲートにより構成することが

(3)

特開平4-303234

3

できる。Tr1～Tr64は64個並列接続され、上記比較器13の各ビット出力により制御されるPMOSトランジスタであり、一端が電源に接続され、他端がブルダウントラニジストTr1～Tr64とブルダウントラニジストTr1～Tr64との接続点の電位を入力とするインバータであり、これらにより、図1のビット変化検出回路1が構成されている。また、入出力に設けられたラッチ11、12間にはビットパターン変換回路2が設けられている。そして、前記インバータ15の出力がビット変化検出回路1の検出出力であるビットパターン変換信号として、ビットパターン変換回路2に入力されると共に、ラッチ12の出力データに付加されて外部に出力される。すなわち、転送データは64ビット+1ビット=65ビットとなる。なお、ビットパターン変換回路2は、各ビット毎にインバータを挿入した経路とインバータを挿入していない経路をセレクタを介して並列に設けておき、ビットパターン変換信号が有意の時はインバータを挿入した経路を選択し、有意でない時にはインバータを挿入していない経路を選択するようにして容易に実現できる。また、ビット変化量の多少を判定するためのビット数の設定値は、上記ブルダウントラニジストTr1～Tr64の値を適用対象に合わせて調整することにより設定することができる。

【0009】次に、上記実施例の動作について説明する。まず、現在出力しているデータと次に出力するデータのビット変化量が設定値より少ないと場合は、図2において、EXORゲートで構成された比較器13の各出力に「0」のビットが多くなって、オンするトランジスタTrが多くなるので、ブルダウントラニジストTr1～Tr64との接続点の電位は高い状態にあり、インバータ15の出力であるビットパターン変換信号は「0」のままで有意とはならない。従って、ビットパターン変換回路2は変換を行わず、次に出力するデータをそのままスルーさせる。これにより、転送先には、ビットパターン変換を行っていない本来のデータ64ビットと、その旨を示す値「0」のビットパターン変換信号1ビットが転送される。転送先では、ビットパターン変換信号1ビットを含む転送データを取り込み、ビットパターン変換信号がビット反転を示していないので、ビット反転処理は行わない。

【0010】一方、ビット変化量が設定値以上の場合は、図2において、比較器13の各出力に「1」のビットが多くなって、オンするトランジスタTrが少なくなるので、ブルダウントラニジストTr1～Tr64との接続点の電位は低くなり、インバータ15の出力であるビットパターン変換信号は「1」となって有意となる。従って、ビットパターン変換回路2は、次に出力するデータに全ビットを反転させるビットパターン変換を施して出力する。これにより、転送先には、ビットパターン変換を行ったデータ64ビットと、その旨を示す値「1」のビットパターン変換信号1ビットが転送される。転送先では、ビットバ

ーン変換信号1ビットを含む転送データを取り込み、ビットパターン変換信号がビット反転を示しているので、ビット反転処理を行って本来のデータに戻す。このように、同時変化ビットが多く、一定のビット数を超えた場合、同時変化の少ないビットパターンに変換した後に転送することにより、実効的な転送レートを低下させることなく、信頼性の高い転送を実現することができる。

【0011】図3は、図1の他の具体的構成例を示す回路図であり、図2のものとは比較器13から後の構成が異なる。すなわち、図2ではアナログ回路を用いたものであり、図3では2ビットから7ビットの加算器を図示のように階層的に接続して、全てをデジタル回路で構成したものである。これにより、2入力の一方に“-32”が入力される最終段の加算器出力の最上位ビットが「0」ならば、32ビット以上、すなわち半数以上のビットが反転することを示しており、この最上位ビットをインバータ15を介してビットパターン変換信号とし、ビットパターン変換回路2と転送先に送るようにしたものである。また、最上位ビットとともに他のビットも組合せて判定することにより、ビット変化量が多いか少ないか決める設定値を適用対象に合わせて任意に設定することができ、図2の実施例と同様な効果が得られる。

【0012】なお、上記実施例では、ビットパターン変換を全ビット反転により行うものとしたが、データ転送エラーの生じないビット変化量に余裕があるような場合には奇数または偶数番目のビットのみを反転するようにしてもよい。

【0013】また、本発明の具体的構成例を示した図2及び図3の回路は、アナログ回路を用いて構成する場合と全てデジタル回路で構成する場合の一実施例を示したもので、本発明はこれに限定されるものでないことは言うまでもない。

【0014】また、上記実施例では、本発明を全出力ビットに対して一括して適用する例を示したが、出力ビットを例えば物理的に近接した複数のブロックに分割し、それぞれのブロックについて独立に実施してもよい。複数のブロックに分割することにより、1個のビット変化検出回路の対象となるビット数が少くなり、処理速度の向上が図ることができる。さらに、物理的に近接した出力バッファを1つのブロックとすることにより、電気特性的に最も問題となる「物理的に近接した出力バッファの同時スイッチング」に対してきめ細かく対処することが可能であり、本発明の効果をより確実にすることができる。

【0015】

【発明の効果】以上のように、この発明によれば、現在出力しているデータと次に出力するデータをビット単位に比較してビット変化量が設定値以上か否かを検出するビット変化検出手段と、この検出出力に基づき、ビット変化量が設定値以上の時は次に出力するデータをビット

(4)

特開平4-303234

5

6

反転によりビット変化量の少ないビットパターンに変換して出力し、ビット変化量が設定値より少い時はそのまま出力するビットパターン変換手段とを備え、このビットパターン変換手段の出力データに上記ビット変化検出手段の検出出力を付加して転送するようにしたので、多ビット並列データの実効的な転送レートを低下させることなく、信頼性の高いデータ転送を実現することができる。

【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック構成図である 10

る。

【図2】図1の具体的構成例を示す回路図である。

【図3】図1の他の具体的構成例を示す回路図である。

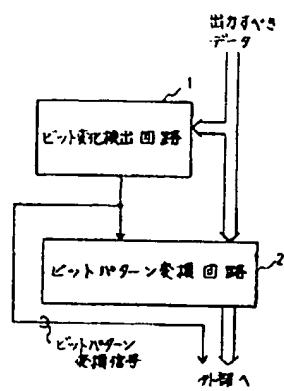
【符号の説明】

- 1 ビット変化検出回路（ビット変化検出手段）
- 2 ビットパターン変換回路（ビットパターン変換手段）

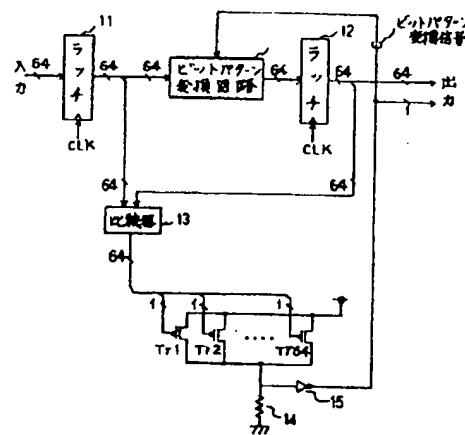
1 1, 1 2 ラッチ

1 3 比較器

【図1】



【図2】



(5)

特開平4-303234

【図3】

